

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION  
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété  
Intellectuelle  
Bureau international



(43) Date de la publication internationale  
4 juillet 2002 (04.07.2002)

PCT

(10) Numéro de publication internationale  
WO 02/052414 A1

(51) Classification internationale des brevets<sup>7</sup> : G06F 9/48

(21) Numéro de la demande internationale :  
PCT/FR01/04176

(22) Date de dépôt international :  
21 décembre 2001 (21.12.2001)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :  
00/16858 22 décembre 2000 (22.12.2000) FR

(71) Déposant (pour tous les États désignés sauf US) : WANY  
SA [FR/FR]; Avenue de l'Europe, Cap Alpha, F-34830  
Clapiers (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) : LAVAREC,  
Erwan [FR/FR]; 117, place de Thessalie, F-34000 Mont-  
pellier (FR). TREMEL, Laurent [FR/FR]; Les Jardins  
Vert Parc, Bâtiment I, appartement 21, 425, rue des Ané-  
mones, F-34170 Castelnau le Lez (FR).

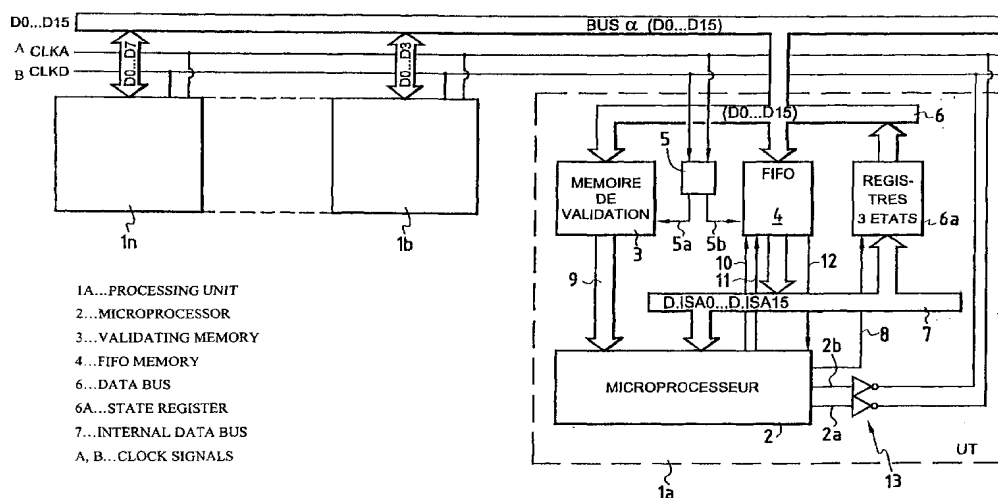
(74) Mandataire : HERARD, Paul; Cabinet Beau de  
Loménie, 232, avenue du Prado, F-13295 Marseille Cedex  
8 (FR).

(81) États désignés (national) : AE, AG, AL, AM, AT, AU, AZ,  
BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ,  
DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM,  
HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK,  
LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,  
MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI,  
SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN,  
YU, ZA, ZM, ZW.

[Suite sur la page suivante]

(54) Title: PARALLEL ELECTRONIC ARCHITECTURE COMPRISING A PLURALITY OF PROCESSING UNITS  
CONNECTED TO A COMMUNICATION BUS, AND ADDRESSABLE BY THEIR FUNCTIONAL CAPABILITIES

(54) Titre : ARCHITECTURE ELECTRONIQUE PARALLELE COMPORTANT UNE PLURALITE D'UNITES DE TRAITE-  
MENT CONNECTEES A UN BUS DE COMMUNICATION, ET ADRESSABLES PAR LEURS FONCTIONNALITES



(57) Abstract: The invention concerns a parallel electronic architecture comprising a plurality of processing units (1a, 1b, , 1n) connected to a communication bus, each processing unit being designed to automatically execute one or several predefined tasks. Each processing unit is configured such that each of the tasks is associated with a function key, and designed to communicate with the other processing units in accordance with the following protocol: transmission of a message comprising at least a function key characterising a functional capability, and optionally a frame consisting of one or several words; each processing unit is further designed to decode each header passing through the bus, and, on the basis of the value of said function key, to either ignore the message transmitted on the bus, or execute the task associated with said message function key.

[Suite sur la page suivante]

WO 02/052414 A1



**(84) États désignés (régional) :** brevet ARIPO (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), brevet eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Déclarations en vertu de la règle 4.17 :**

— *relative au droit du déposant de demander et d'obtenir un brevet (règle 4.17.ii)) pour les désignations suivantes AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW, brevet ARIPO (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), brevet eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet européen (AT,*

*BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)*

- *relative au droit du déposant de revendiquer la priorité de la demande antérieure (règle 4.17.iii)) pour toutes les désignations*
- *relative à la qualité d'inventeur (règle 4.17.iv)) pour US seulement*

**Publiée :**

- *avec rapport de recherche internationale*
- *avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues*

*En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.*

**(57) Abrégé :** L'architecture électronique parallèle comporte une pluralité d'unités de traitement (1a, 1b,... 1n) connectées à un bus de communication, chaque unité de traitement étant conçue pour exécuter automatiquement une ou plusieurs tâches prédéfinies. Chaque unité de traitement est configurée de telle sorte que chacune de ses tâches est associée à un en-tête, et conçue pour communiquer avec les autres unités de traitement selon le protocole suivant : envoi sur le bus d'un message comportant au moins un en-tête caractérisant une fonctionnalité, et éventuellement une trame constituée d'un ou plusieurs mots; chaque unité de traitement est en outre conçue pour décoder chaque en-tête transitant sur le bus, et pour, en fonction de la valeur de cet en-tête, soit ignorer le message émis sur le bus, soit exécuter la tâche associée à l'en-tête de ce message.

**ARCHITECTURE ELECTRONIQUE PARALLELE  
COMPORTANT UNE PLURALITE D'UNITES DE TRAITEMENT  
CONNECTEES A UN BUS DE COMMUNICATION, ET ADRESSABLES  
PAR LEURS FONCTIONNALITES**

5

La présente invention concerne le domaine des architectures électroniques parallèles (multiprocesseurs et multitâches). Elle a pour objet une architecture comportant une pluralité d'unités de traitement connectées à un bus de communication et dialoguant entre elles selon un nouveau protocole.

10

Dans le présent texte, on désigne par « unité de traitement », toute machine qui est conçue pour exécuter automatiquement une ou plusieurs tâches distinctes. Il peut s'agir d'une unité de traitement de type câblée. De préférence, il s'agit d'une unité de traitement programmable comportant un processeur ( microprocesseur, microcontrôleur,...) qui est programmé pour exécuter automatiquement une ou plusieurs tâches distinctes. De manière non exhaustive, l'unité de traitement peut être une machine programmable, tel que par exemple un micro-ordinateur, un périphérique d'une machine, une carte « fille » montée sur une carte mère fond de panier, etc.

15

20

A ce jour, dans les architectures électroniques comportant plusieurs unités de traitement reliées par un bus de communication, chaque unité de traitement est repérée sur le bus par une adresse physique qui lui est propre. Les protocoles de communication connus à ce jour permettent de faire dialoguer une première unité de traitement (dite par la suite unité émettrice) avec une seconde unité de traitement (dite par la suite unité cible). Ainsi, lorsque l'unité émettrice envoie un message à l'unité cible, en vue par exemple de déclencher l'exécution par l'unité cible d'une tâche prédéfinie, l'unité émettrice émet sur le bus l'adresse de l'unité cible. Chaque unité de traitement est apte à décoder une adresse émise sur le bus, et lorsqu'une unité cible reconnaît son adresse, elle

25

30

charge en mémoire locale le message associé et exécute la tâche pour laquelle elle est programmée. L'unité cible et émettrice ont généralement des bus d'adresses et de données similaires et de taille fixée.

Avec ce type d'architecture et de protocole de communication  
5 connus, il est difficile de réaliser un système muti-tâches dans lequel plusieurs unités de traitement réalisent en parallèle une même tâche (ou fonctionnalité), car ce parallélisme des unités de traitement nécessite une gestion compliquée de l'adressage des unités de traitement.

La présente invention vise à proposer une nouvelle architecture  
10 parallèle qui permet de pallier cet inconvénient et qui de surcroît est plus facilement évolutive et modulable, par ajout d'une nouvelle unité de traitement, remplacement ou suppression d'une unité de traitement.

Ce but est atteint par l'architecture parallèle de l'invention qui est connue en ce qu'elle comporte une pluralité d'unités de traitement  
15 connectées à un bus de communication, chaque unité de traitement étant conçue pour exécuter automatiquement une ou plusieurs tâches prédéfinies.

1. De manière caractéristique et nouvelle selon l'invention, chaque unité de traitement est configurée de telle sorte que chacune de ses  
20 tâches est associée à un en-tête ; chaque unité de traitement est conçue pour communiquer avec les autres unités de traitement selon le protocole suivant : envoi sur le bus d'un message comportant au moins un en-tête caractérisant une fonctionnalité, et éventuellement une trame constituée d'un ou plusieurs mots, et en ce que chaque unité de  
25 traitement est conçue pour décoder chaque en-tête transitant sur le bus, et pour, en fonction de la valeur de cet en-tête, soit ignorer le message émis sur le bus, soit exécuter la tâche associée à l'en-tête de ce message.

Ainsi, le fonctionnement de l'architecture de l'invention repose sur  
30 un principe nouveau qui est l'adressage d'une fonctionnalité sur le bus de communication, plutôt qu'un adressage d'une unité de traitement cible

donnée. Dans l'invention, l'en-tête qui caractérise une fonctionnalité permet ainsi de réveiller toutes les unités de traitement connectées qui reconnaissent cette fonctionnalité, afin que ces unités de traitement exécutent parallèlement la tâche associée à cette fonctionnalité.

5 D'autres caractéristiques et avantages de l'invention apparaîtront plus clairement à la lecture de la description ci-après d'un exemple préféré de réalisation de l'invention, laquelle description est donnée à titre d'exemple non limitatif, et en référence au dessin annexé sur lequel :

- la figure 1 est un synoptique général d'un exemple d'architecture selon  
10 l'invention, de type multi-maîtres / multi-esclaves, avec plusieurs unités de traitement connectées à un bus parallèle 16 bits (D0-D15), désigné plus généralement bus  $\alpha$ ,
- la figure 2 représente un schéma électrique détaillé pour la réalisation de la mémoire FIFO et de la mémoire de validation d'une unité de traitement,
- 15 - la figure 3 représente un chronogramme des principaux signaux mis en œuvre lors d'une opération d'écriture d'un en-tête sur le bus  $\alpha$  par une unité de traitement maître,
- la figure 4 représente un chronogramme des principaux signaux mis en œuvre lors d'une opération d'écriture sur le bus  $\alpha$ , par l'unité de traitement  
20 maître, d'un mot d'une trame.
- la figure 5 représente un chronogramme des principaux signaux mis en œuvre lors d'une opération de lecture, par une unité de traitement esclave, d'un en-tête valide présent sur le bus  $\alpha$ ,
- la figure 6 représente un chronogramme des principaux signaux mis en  
25 œuvre par une unité de traitement esclave, après réception par cet unité de traitement esclave d'un en-tête valide, et écriture sur le bus  $\alpha$ , d'une trame de mots par l'unité de traitement maître,
- et la figure 7 représente un chronogramme des principaux signaux mis en œuvre par une unité de traitement esclave, après réception d'un en-  
30 tête non valide et écriture sur le bus  $\alpha$  d'un mot d'une trame par l'unité de traitement maître.

En référence au synoptique général de la figure 1, une architecture conforme à l'invention comprend plusieurs unités de traitement 1a, 1b, ..., 1n, qui sont connectées à un bus de données parallèle dit par la suite bus  $\alpha$ .

5 L'architecture de la figure 1 est avantageusement de type multi-maîtres/multi-esclaves. Lorsque l'une des unités de traitement 1a, 1b, ..., ou 1n veut émettre un message sur le bus  $\alpha$ , elle prend la direction du bus et devient unité maître, les autres unités devenant esclaves. Une fois son message émis sur le bus, l'unité de traitement maître libère le bus,  
10 une autre unité de traitement pouvant à son tour prendre la direction du bus  $\alpha$ , pour émettre un message. Ce mode de fonctionnement implique la mise en œuvre de moyens d'arbitrage de l'accès en écriture au bus, lesquels moyens reçoivent en entrée en provenance de chaque unité de traitement des signaux de demande d'accès en écriture au bus, et  
15 délivrent en sortie pour chaque unité de traitement des signaux d'autorisation d'accès au bus en écriture. Ces moyens d'arbitrage étant par ailleurs connus de l'homme du métier, ils ne sont pas représentés sur la figure 1 et ne seront pas plus amplement décrits dans le présent texte.

L'invention n'est par ailleurs pas limitée à une architecture de type  
20 multi-maîtres/multi-esclaves, mais peut par exemple également s'appliquer à la réalisation d'une architecture avec une seule unité de traitement maître apte à écrire sur le bus, les autres unités de traitement étant toujours esclaves, et pouvant accéder au bus uniquement en lecture.

## 25 Définitions des principaux termes :

### Bus $\alpha$

Le bus  $\alpha$  est un bus de données qui est d'une manière générale composé de (q) conducteurs électriques parallèles, q étant un entier supérieur ou égal à 1. Dans l'exemple particulier illustré sur les figures 1 et 2, le bus  $\alpha$   
30 est un bus constitué de seize conducteurs électriques parallèles (bus 16 bits(D0-D15)).

### Atome de granularité ( AG)

L'atome de granularité » désigné ci après (AG) correspond à la plus petite taille d'unité de traitement pouvant dialoguer sur le bus  $\alpha$  ( voir ci-après la définition de « couleur »). Si on considère que le bus  $\alpha$  est d'une  
5 manière générale composé de q conducteurs électriques parallèles, (q étant un entier supérieur ou égal à un), alors :  $q = AG \cdot 2^p$ . AG est nécessairement une puissance de deux.

### Couleur d'une unité de traitement

La « couleur » d'une unité de traitement est définie par la taille (nombre  
10 de bits) de son bus de données. Dans l'exemple particulier de la figure 1, l'unité de traitement 1a est une machine 16 bits ( bus de données D0-D15), l'unité de traitement 1b est une machine 4 bits (bus de données D0-D3), ..., l'unité de traitement 1n est une machine 8 bits (bus de données D0-D7).

15 Par la suite, les « couleurs » d'unité de traitement seront notées A,B,C,D,... selon la convention suivante : une unité de traitement capable de ne communiquer que sur un (AG) sera de couleur A ; une unité de traitement capable de communiquer au maximum sur deux (AG) sera de couleur B ; une unité de traitement capable communiquer au maximum  
20 quatre (AG) sera de couleur C ;une unité de traitement capable communiquer au maximum sur huit (AG) sera de couleur D, etc...

### Mot

Un mot correspond à la valeur du bus  $\alpha$  à un instant donné. La taille maximale d'un mot est limitée par le nombre de conducteurs parallèles du  
25 bus  $\alpha$ .

### Message

Un message correspond à la succession de mots qui sont écrits en série sur le bus  $\alpha$  par une unité de traitement. Un message est composé d'un premier mot qui est un en-tête (Function Key), suivi d'une trame qui est,  
30 selon le format série utilisé, composée d'un ou plusieurs mots successifs.

Format série (FS)

Le format série permet de définir tous les mots qui composent un message transitant sur le bus. Les formats séries utilisables sur le bus  $\alpha$  peuvent être très différents, et ont nécessairement pour caractéristique

5 commune que le premier mot d'un message est un en-tête.

Un exemple de format série standard, et non limitatif de l'invention, est donné ci-après :

En-tête (FunctionKey)	(voir définition ci-après)
(Taille du message)	(suivant FunctionKey), un numéro
(Signature)	(suivant FunctionKey), explique quel est le type du maître qui émet ainsi que sa place sur le bus
(Type)	(suivant FunctionKey), un numéro
(Taille trame)	(suivant FunctionKey), un nombre
Trame	(suivant FunctionKey) N mots qui se suivent
Sentinelle	bits de contrôle sur tous les mots du message, permettant de savoir si une erreur a eu lieu sur l'un des bits de transmission

- 10 Suivant la fonctionnalité, codée par l'en-tête, d'autres formats série peuvent être dérivés de ce format standard ; le format série le plus simple avec contrôle de la transmission étant : en-tête / sentinelle. Dans une variante de réalisation encore plus simple (sans contrôle de l'intégrité des données transmises), il est envisageable qu'un message puisse être
- 15 constitué uniquement d'un entête.

Format parallèle (FP)

On associe à chaque couleur (A,B,C,D,...) d'unité de traitement un formatage particulier des messages qui transitent sur le bus  $\alpha$ .



Un exemple de codage du format parallèle (FP) est donné dans le tableau ci-après :

En-tête sur le bus $\alpha$								Format parallèle
1 <sup>er</sup> AG	2 <sup>ème</sup> AG	3 <sup>ème</sup> AG	4 <sup>ème</sup> AG	5 <sup>ème</sup> AG	6 <sup>ème</sup> AG	7 <sup>ème</sup> AG	8 <sup>ème</sup> AG	
XXXX	0	0	0	0	0	0	0	FP-A : 2 <sup>AG</sup> Fonctionnalités
0	XXXX	0	0	0	0	0	0	FP-B : 2 <sup>AG</sup> Fonctionnalités
0	0	XXXX	XXXX	0	0	0	0	FP-C : 2 <sup>2. AG</sup> Fonctionnalités
0	0	0	0	XXXX	XXXX	XXXX	XXXX	FP-D : 2 <sup>4. AG</sup> Fonctionnalités
...								...
XXXX	XXXX	0	0	0	0	0	0	FP-AB
XXXX	0	XXXX	XXXX	0	0	0	0	FP-AC
XXXX	0	0	0	XXXX	XXXX	XXXX	XXXX	FP-AD
XXXX	0	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	FP-ACD
...								

5

XXXX désigne qu'il est possible de prendre n'importe quelle valeur possible. Le 0 désigne que tous les conducteurs de cet AG sont mis à zéro.

#### 10 Forme de chacun des FP :

Le FP-A : on utilise les AG premiers conducteurs du bus pour tous les autres mots qui composeront la trame du message par la suite. On s'adresse donc à toutes les unités de traitement connectées au bus et ayant la fonctionnalité recherchée, puisque par définition même la plus petite unité de traitement peut communiquer sur un AG.

15

Le FP-B : on utilise les 2AG premiers conducteurs du bus pour tous les autres mots qui composeront la trame du message par la suite.

Par définition, on exclut les unités de traitement qui ne sont pas capables d'y accéder, puisque de toute façon elles n'auront pu décoder le XXXX qui était sur le 2<sup>ème</sup> AG. On s'adresse forcément aux seules machines capables de communiquer sur 2 AG.

5           Le FP-C : on utilise les 4AG premiers conducteurs du bus pour tous les autres mots qui composeront la trame du message par la suite.

          Le FP-D : on utilise les 8AG premiers conducteurs du bus pour tous les autres mots qui composeront la trame du message par la suite.

          Les formats mixtes ( FP-AB, FP-AC, FP-AD, FP-ACD,...)  
10   permettent de fournir une donnée plus raffinée (plus de détails) si les processeurs auxquels on s'adresse ont les moyens de lire la donnée sur plusieurs AG.

          Exemple d'utilisation des formats mixtes FP-AB et FP-AD :

          Le format FP-AB s'adresse à la fois aux unités de traitement  
15   pouvant lire sur 1 AG et à celles pouvant lire sur 2 AG. Celles qui lisent sur 1 AG ont une information suffisante pour remplir la fonctionnalité mais n'ont pas forcément tous les détails. Celles qui lisent sur 2 AG peuvent par exemple avoir un code correcteur d'erreur sur le 2<sup>ème</sup> AG pour vérifier l'information qui a transité sur le 1<sup>er</sup> AG.

20           Le format FP-AD est un format qui peut par exemple être intéressant pour la transmission de petites images sur le bus  $\alpha$ . Le premier AG peut servir à coder le niveau moyen de gris (ou de couleur) d'un pavé de 9 pixels. Les unités de traitement ayant accès uniquement à cette information bénéficie quand même de la donnée : une image trois  
25   fois plus petite. Pour les unités de traitement ayant également accès au format FP-D, elles pourront bénéficier de la lecture de 8 AG en tout, les autres AG lui permettant par exemple de rajouter la différence par rapport à la moyenne pour connaître la valeur des pixels du pavé (principe des ondelettes de Haar).

30   En-tête (FunctionKey)

Selon une caractéristique essentielle de l'invention, l'en-tête est le premier

mot de tout message transitant sur le bus  $\alpha$ , et il définit principalement quelle est la fonctionnalité qui est adressée. De préférence, mais non nécessairement, cet en-tête permet également de définir :

- le format parallèle du message,
- 5 - le format série du message,
- la « couleur » de l'unité de traitement qui a généré le message ( unité de traitement maître)
- une information qualitative sur la longueur du message.

#### Fonctionnalité

- 10 On appelle « fonctionnalité » toute fonction (ou tâche) qui peut être exécutée automatiquement par une unité de traitement connectée au bus  $\alpha$ .

#### Table des fonctionnalités

- Chaque unité de traitement est configurée en sorte de comporter une
- 15 table des fonctionnalités, qui lui est propre, et qui associe chaque tâche exécutable par l'unité de traitement, à une valeur d'en-tête. De préférence, cette table des fonctionnalités définit également pour chaque fonctionnalité, le format série (FS) associé à cette fonctionnalité, ainsi que la longueur d'un message associé à cette fonctionnalité. Pour une unité
- 20 de traitement donnée, le nombre de fonctionnalités possibles dépend uniquement du nombre d'AG qu'elle peut atteindre sur le bus et de la valeur de l'AG.

#### **Généralités sur le protocole de communication de l'invention**

- L'échange de messages sur le bus  $\alpha$  est réalisé entre une unité de
- 25 traitement maître qui a pris la direction du bus, et qui de ce fait est la seule unité de traitement autorisée à écrire des données sur le bus  $\alpha$ , et les autres unités de traitement esclaves, qui peuvent accéder uniquement en lecture au bus  $\alpha$ .

- Lorsqu'une unité de traitement 1a, 1b, ..., ou 1n a pris la direction
- 30 du bus  $\alpha$ , elle commence par écrire sur le bus  $\alpha$  un en-tête (FunctionKey), puis écrit ensuite sur le bus  $\alpha$  une trame ( un ou plusieurs mots en

fonction du format série (FS) utilisé).

L'en-tête est lu par chaque unité de traitement esclave. L'en-tête permet principalement à chaque unité de traitement esclave de déterminer si la trame émise sur le bus  $\alpha$  lui est destinée, et dans  
5 l'affirmative, quelle est la tâche qu'elle doit exécuter.

Lorsque l'en-tête émis sur le bus ne fait pas partie de la table des fonctionnalités d'une unité de traitement esclave, cette dernière ignore la trame émise sur le bus  $\alpha$  consécutivement à l'en-tête. Dans le cas contraire, l'unité de traitement esclave lit également la trame émise sur le  
10 bus après l'en-tête, et exécute automatiquement la tâche qui est associée à cet en-tête dans sa table des fonctionnalités.

Ainsi, la nouveauté du protocole de communication de l'invention découle du fait que lors de l'écriture d'un message sur le bus par une unité de traitement maître, on ne réalise pas un adressage d'une unité de  
15 traitement esclave donnée localisée sur le bus par une adresse (physique ou logique), mais on réalise un adressage des fonctionnalités (tâches) des unités de traitement esclaves, le message étant traité en parallèle par toutes les unités de traitement possédant une fonctionnalité associée à l'en-tête émis sur le bus.

## 20 **Exemple de structure d'une unité de traitement (1a, ..., 1n)**

En référence à la figure 1, une unité de traitement 1a, ..., 1n comporte essentiellement :

- un microprocesseur 2,
- une mémoire de validation 3,
- 25 - une mémoire 4 de type FIFO,
- une unité logique 5 permettant le séquençement du fonctionnement de la mémoire de validation 3 et de la mémoire FIFO 4, à partir de signaux horloges CLKA et CLKD,
- un bus de données 6, dit par la suite bus interface,
- 30 - un bus interne 7, sur lequel le microprocesseur 2, peut lire ou écrire des données,

- des registres trois états 6a, qui sous la commande du microprocesseur 2 (signal 8) permettent l'écriture sur le bus interface 6 (D0-D15) des données présentes sur le bus interne 7.

#### Bus interface (6)

- 5 Ce bus interface est un bus de données (n) bits [(D0 - Dn-1)] constitué d'une manière générale de (n) conducteurs électriques parallèles, [n entier inférieur ou égal à q (taille du bus  $\alpha$ )], reliés en parallèle aux n premiers conducteurs du bus  $\alpha$ .

#### Microprocesseur (2) / bus interne (7)

- 10 Le microprocesseur est de manière usuelle associé à une mémoire vive (RAM), qui par soucis de simplification n'a pas été représentée sur cette figure 1, et à laquelle le microprocesseur 2 peut de manière usuelle accéder en lecture et en écriture. Cette mémoire vive comporte la table des fonctionnalités de l'unité de traitement, ainsi que le  
15 programme de fonctionnement du microprocesseur, qui sera détaillé ultérieurement.

Le bus interne 7 est un bus ISA qui comporte de manière usuelle :

- un bus de données [ bus de données 16bits / D\_ISA0 à D\_ISA15 dans le cas de l'unité de traitement 1a au format 16 bits],
- 20 - un bus d'adresse non représenté sur le synoptique général de la figure 1, et dont les deux bits d'adresse de poids faible sont référencés respectivement A0\_ISA et A1\_ISA sur les chronogrammes des figures 3 et 4, et
- un bus de contrôle constitué par les signaux d'écriture Wr\_ISA et de  
25 lecture Rd\_ISA (signaux délivrés par le microprocesseur 2) et par le signal de sélection Cs\_ISA, issu du décodage des signaux de lecture et d'écriture ; ces signaux Wr\_ISA, Rd\_ISA, et Cs\_ISA ne sont pas représentés sur le synoptique de la figure 1, et apparaissent uniquement sur les chronogrammes des figures 3 et 4.

#### 30 Mémoire de validation (3)

La mémoire de validation 3 peut indifféremment être une mémoire vive ou

une mémoire morte. De préférence, il s'agit d'une mémoire de type EEPROM. Cette mémoire de validation fonctionne en table de correspondance de façon à lister les en-têtes valides, le port d'adresse de cette mémoire de validation 3 étant relié au bus  $\alpha$ . Le port de sortie de  
5 cette mémoire de validation 3 est relié (signaux 9) au microprocesseur 2, sur un port de ce microprocesseur dédié au traitement des interruptions.

L'accès en lecture à la mémoire de validation 3 est séquencé par le signal 5a, délivré par l'unité logique 5, à partir des signaux horloge CLKA et CLKD.

10        Tel que cela apparaîtra plus clairement ultérieurement dans la description, la mémoire de validation 3 a pour fonction de valider ou non (signaux 9), pour le microprocesseur 2, un en-tête présent sur le bus  $\alpha$ . A cet effet, à chaque adresse de la mémoire de validation (correspondant à une valeur d'en-tête pouvant être émise par une unité de traitement sur le  
15 bus  $\alpha$ ) est stockée une donnée qui est reconnue par le microprocesseur 2 comme étant une donnée, soit de validation, soit de non validation de l'en-tête. Lorsque la donnée délivrée en sortie par la mémoire de validation 3 (signaux 9) est une donnée de validation, le microprocesseur 2 est informé qu'il doit charger la trame qui est émise sur le bus  $\alpha$  après l'en-  
20 tête qui a été validé. A l'inverse, lorsque la donnée issue de la mémoire de validation est une donnée qui ne valide pas l'en-tête, le microprocesseur 2 ignore la trame qui est émise sur le bus  $\alpha$  après cet en-tête.

Ces données de validation ou de non validation pour chaque adresse de la mémoire 3 sont propres à chaque unité de traitement 1a,  
25 1b, ..., 1n, et permettent de personnaliser le fonctionnement de l'unité de traitement.

En référence à la figure 2, dans un exemple particulier de réalisation, la mémoire de validation 3 est réalisée au moyen d'un circuit intégré CI1 tel que par exemple le circuit intégré commercialisé sous la  
30 référence AM29F010. Dans cette réalisation, le port d'adresse de la mémoire correspond aux entrées A0 à A15, lesquelles sont raccordées

respectivement en parallèle aux conducteurs électriques du bus  $\alpha$  (D0-D15). Le signal « Ecriture\_Ad » correspond au signal 5a de la figure 1, et les signaux « Adresse\_rejetée », « IRQ#5 », « IRQ#4 », « IRQ#3 », « IRQ#2 », « IRQ#P » sur le port de sortie de la mémoire correspondent  
5 aux signaux 9 précités du synoptique de la figure 1. Dans cette réalisation, la validation de la mémoire est répartie sur plusieurs niveaux, mais la validation utile est codée sur le signal IRQ #P. Lorsque ce signal IRQ #P est par exemple à l'état bas (respectivement à l'état haut), l'en-tête qui est présent sur le bus  $\alpha$  est validé (respectivement non validé) pour le  
10 microprocesseur 2.

#### Mémoire FIFO (4)

En référence à la figure 1, la mémoire FIFO 4 est raccordée en entrée au bus  $\alpha$  via le bus interface 6, et en sortie au bus de données du bus interne 7. Le microprocesseur 2 peut commander le chargement,  
15 dans la mémoire FIFO 4, d'un mot présent sur le bus  $\alpha$ , au moyen du signal d'écriture 10, ainsi que la sortie d'un mot stocké dans la mémoire FIFO 4, et son écriture sur le bus de données du bus interne 7, au moyen du signal de lecture 11. Le séquençement du chargement d'un mot dans la mémoire FIFO 4, ou d'une lecture d'un mot en mémoire FIFO 4 est  
20 synchronisé par un signal de cadencement 5b, délivré par l'unité logique 5 à partir des signaux horloges CLKA et CLKD. La mémoire FIFO 4 délivre également en sortie pour le microprocesseur 2 des signaux d'état 12 permettant d'indiquer au microprocesseur 2 son niveau de remplissage.

En référence à la figure 2, dans un exemple particulier de  
25 réalisation, la mémoire FIFO 4 est réalisée à partir de deux circuits intégrés 8 bits CI2 et CI3, et par exemple à partir de circuits intégrés commercialisés sous la référence IDT7200, chaque circuit intégré CI2 et CI3 étant dédié respectivement au stockage des bits de poids fort (D8 à D15) et de poids faible (D0 à D7) du bus  $\alpha$ .

30 Dans cette variante de réalisation, les signaux référencés sur la figure 2 « Empty\_flag\_H », « Full\_flag\_H », « Half\_full\_H »,

« Empty\_flag\_B », « Full\_flag\_B », « Half\_full\_B », correspondent aux signaux d'état 12 précités du synoptique de la figure 1, et permettent le codage de l'état de remplissage de chaque registre FIFO ( Cl2 et Cl3). Le signal référencé « Ecriture\_FIFO\_OK » correspond au signal d'écriture 10  
 5 précité de la figure 1. Les signaux « Lecture\_FIFO\_B » et « Lecture\_FIFO\_H » correspondent au signal de lecture 11 précité de la figure 1. Le signal « Reset\_FIFO » est un signal de remise à zéro de la mémoire FIFO qui est délivré par le microprocesseur 2, et qui est utilisé pour initialiser la mémoire 4.

#### 10 Registres trois états (6a)

Le bus de données du bus interne 7 d'une unité de traitement est connecté en parallèle au bus interface 6, via un ou plusieurs registres trois états 6a. Dans le cas par exemple de l'unité de traitement 1a mettant en œuvre un bus interne 16 bits ( D\_ISA0- D\_ISA15), on pourra utiliser deux  
 15 registres huit bits dédiés à l'écriture en parallèle sur le bus interface 6, et par là-même sur le bus  $\alpha$ , respectivement des huit bits de poids faible (D\_ISA0-D\_ISA7) et des huit bits de poids forts (D\_ISA8-D\_ISA15) du bus de données du bus interne 7. Le transfert sur le bus  $\alpha$  (D0- D15) d'une donnée présente sur le bus de données (D\_ISA0 - D\_ISA15) du bus  
 20 interne 7 est commandé par le microprocesseur au moyen du signal d'écriture 8 (figure 1).

#### Signaux horloge CLKA et CLKD

En référence à la figure 1, chaque microprocesseur 2 d'une unité de traitement délivre en sortie deux signaux horloge 2a et 2b, qui sont  
 25 connectés, via des portes 13 à collecteur ouvert, à un bus horloge (CLKA, CLKD) commun à toutes les unités de traitement. Lorsqu'une unité de traitement prend la direction du bus  $\alpha$  (unité de traitement maître), les signaux horloges CLKA et CLKD correspondent respectivement aux signaux horloge 2a et 2b du microprocesseur 2 de cette unité de  
 30 traitement maître ; les signaux horloges 2a et 2b des autres unités de traitement esclaves sont quant à eux flottants et isolés du bus horloge.



CLKA et CLKD. L'échange de données sur le bus  $\alpha$  est ainsi cadencé par l'unité de traitement maître, les unités de traitement esclaves assurant le chargement des messages écrits sur le bus  $\alpha$  ( mémoire de validation 3/ signal 5a ; mémoire FIFO 4 / signal 5b) quelle que soit leur vitesse d'horloge propre (fréquence propre de fonctionnement de leur microprocesseur 2). Des unités de traitement possédant des vitesses d'horloge propres différentes peuvent donc avantageusement dialoguer entre elles.

### **Fonctionnement du microprocesseur (2) d'une unité de traitement**

#### **10 Programme principal**

Le microprocesseur 2 d'une unité de traitement est programmé pour exécuter en boucle le programme principal ci-après :

- a) lecture en mémoire FIFO 4 d'un message (en-tête et trame) ,
- b) décodage de la fonctionnalité associée à cette en-tête dans la table  
15 des fonctionnalités ;
- c) exécution automatique de la routine (tâche) correspondant à cette fonctionnalité.

#### **Ecriture d'un message sur le bus $\alpha$ ( figure 3 et 4)**

- Au cours de l'exécution de la routine de l'étape c) précitée, il peut arriver  
20 que le microprocesseur 2 soit amené à écrire sur le bus  $\alpha$  un message, afin d'activer une fonctionnalité gérée par une ou plusieurs autres unités de traitement connectées au bus  $\alpha$ . Dans ce cas, après avoir pris la direction du bus  $\alpha$ , l'unité de traitement écrit sur le bus  $\alpha$  l'en-tête codant cette fonctionnalité, et la trame des mots du message, puis libère le bus  $\alpha$ .
- 25 Les chronogrammes des principaux signaux mis en œuvre lors d'une telle opération d'écriture sont représentés respectivement sur les figures 3 et 4.

Sur ces figures 3 et 4, les signaux « Data\_Isa » correspondent au bus de données du bus interne 7, c'est-à-dire par exemple aux bits  
30 D\_ISA0 à D\_ISA15 (figure 2) du bus interne 7 de l'unité de traitement 1a. Les signaux Com\_CLKA et Com\_CLKB correspondent aux signaux 2a et

2b précités. L'écriture d'un en-tête sur le bus de données du bus interne 7 se fait à l'adresse de base +2 d'offset ; ensuite l'écriture de la donnée sur le bus de donnée du bus interne 7 se fait à l'adresse de base +3 d'offset(cf. signaux A0\_ISA et A1\_ISA).

5 Chargement d'un message présent sur le bus  $\alpha$  ( figures 5 et 6)

En cas de présence d'un en-tête valide sur le bus  $\alpha$ , l'exécution du programme principal précité est interrompu par la donnée de validation qui est issue de la mémoire de validation (le signal « IRQ #P » change d'état). Le microprocesseur exécute alors une routine secondaire de  
10 chargement en mémoire FIFO 4 de l'en-tête et de la trame de mots émise sur le bus  $\alpha$  à la suite de cet entête, l'unité de traitement correspondante fonctionnant en esclave.

Les chronogrammes des principaux signaux mis en œuvre lors d'une opération de lecture sur le bus  $\alpha$ , par une unité de traitement  
15 esclave, d'un en-tête valide sont représentés sur la figure 5. La figure 6 représente les chronogrammes des principaux signaux mis en œuvre lors d'une opération de lecture sur le bus  $\alpha$ , par une unité de traitement esclave, d'une trame de mots ( figure 6 / « Donnée n » , « Donnée n+1 ») écrite le bus  $\alpha$  par une unité de traitement maître, en relation avec un en-  
20 tête valide précédemment écrit sur le bus  $\alpha$ .

En référence à la figure 5, s'agissant d'un en-tête valide pour l'unité de traitement esclave, en sortie de la mémoire validation 3, l'interruption IRQ#P change momentanément d'état. La capture de cet en-tête valide dans la mémoire FIFO 4 ( signal 10 / Ecriture\_FIFO\_OK) se  
25 fait par l'action simultanée des signaux CLKA et CLKD.

En référence à la figure 6, la capture d'une donnée dans la mémoire FIFO 4 est cadencée uniquement par le signal CLKD.

Réception d'un en-tête non valide / figure 7

En référence à la figure 7, lorsque l'en-tête présent sur le bus  $\alpha$  n'est pas  
30 valide pour une unité de traitement esclave, le signal d'interruption IRQ#P ne change pas d'état, et le programme principal précité du

microprocesseur 2 n'est pas interrompu. Le microprocesseur 2 ne commande pas le chargement de l'en-tête présent sur le bus  $\alpha$  dans la mémoire FIFO 4 (signal Ecriture\_FIFO\_OK ne change pas d'état), ni ultérieurement le chargement en mémoire FIFO 4 de la trame de mots  
5 transitant sur le bus après cet en-tête. Le message transitant sur le bus  $\alpha$  est ainsi ignoré par l'unité de traitement esclave.

L'architecture multi processeurs qui a été décrite en référence aux figures 1 à 7 présente les principaux avantages ci-après :

- le principe d'adressage des unités de traitement par leurs fonctionnalités  
10 au moyen de l'en-tête (FunctionKey) permet de simplifier la gestion du parallélisme des tâches exécutées par les unités de traitement, et par là-même simplifie la programmation des unités de traitement ; en outre, il permet de réaliser à moindre coût une architecture puissante, à partir d'unités de traitement de faible puissance.
- 15 - Cette architecture est avantageusement modulaire, et très facilement évolutive ; elle est en outre très robuste : on peut lui changer sa forme « à chaud » (en fonctionnement) par ajout, suppression ou remplacement d'une unité de traitement, sans perturber grandement l'exécution du programme général de fonctionnement de l'architecture ; certaines unités  
20 de traitement qui constituent cette architecture peuvent donc tomber en panne sans qu'il soit nécessaire de réaliser un arrêt général du fonctionnement de l'architecture.
- Cette architecture parallèle est « universelle » : elle permet de faire dialoguer entre elles des unités de traitement différentes, et en particulier  
25 des unités de traitement ayant des bus de données (bus interface 6) de tailles différentes ; la seule limitation sur la taille des unités de traitement pouvant être connectées est le nombre de bits en parallèle du bus  $\alpha$  ; cette architecture ne fonctionne pas avec un format unique de données, mais fonctionne avec tout format de données, supérieur ou égal à la taille  
30 de l'atome de granularité (AG).
- l'échange de données sur le bus de communication (bus  $\alpha$ ) étant

cadencé par l'unité de traitement maître qui a pris la direction du bus (signaux CLK et CLD), les unités de traitement peuvent dialoguer entre elles quels que soient leurs processeurs, et surtout quelle que soit la cadence d'horloge de leurs processeurs.

## 5 Exemple d'application

On réalise un robot comportant une carte mère fond de panier sur laquelle sont montées cinq cartes filles ( une carte fille correspondant à une unité de traitement) : une carte de propulsion pour commander le déplacement du robot, une carte sonore, une carte caméra, et une carte de décision

10 comportementale ( calculateur) pour gérer le comportement du robot.

Les tableaux 1, 2 , 3, 4 ci-après donnent un exemple d'implémentation d'en-têtes et de fonctionnalité associées.

TABLEAU 1

<i><b>En-tête &amp; données</b></i>	<i><b>Fonctionnalité</b></i>	<i><b>Carte propulsion</b></i>
0	Réservé	↓ : Jamais ↑ : Jamais
1	Arrêt d'urgence	↓ : surchauffe moteur ↑ : Toujours
2 vitesse	Demande de déplacement en avant	↓ : Jamais ↑ : Toujours
3 vitesse	Demande de déplacement en arrière	↓ : jamais ↑ : toujours
4 numéro	Demande de transmission d'une image	↓ : Jamais ↑ : Jamais
5 image	Transmission d'une image	↓ : Jamais ↑ : Jamais
6 nom	Reconnaissance d'un humain	↓ : Jamais ↑ : toujours (ralentir)
7 numéro	Emettre un son	↓ : Jamais ↑ : Jamais
8 son	Transmission d'un son	↓ : jamais ↑ : jamais
9 identifiant raison	Extinction carte	↓ : Plus de batterie / défaut ↑ : jamais
10	Demande d'identification des cartes présentes	↓ : Jamais ↑ : toujours
11 identifiant fonction	Déclaration de sa présence et sa fonction	↓ : sur demande (10) ↑ : jamais

TABLEAU 2

<i>En-tête &amp; données</i>	<i>Fonctionnalité</i>	<i>Carte caméra</i>
0	Réservé	↓ : Jamais ↑ : jamais
1	Arrêt d'urgence	↓ : détection d'obstacle ↑ : jamais
2 vitesse	Demande de déplacement en avant	↓ : jamais ↑ : jamais
3 vitesse	Demande de déplacement en arrière	↓ : jamais ↑ : jamais
4 numéro	Demande de transmission d'une image	↓ : possible ↑ : toujours
5 image	Transmission d'une image	↓ : sur demande (4) ↑ : toujours
6 nom	Reconnaissance d'un humain	↓ : sur reconnaissance ↑ : toujours
7 numéro	Emettre un son	↓ : jamais ↑ : jamais
8 son	Transmission d'un son	↓ : jamais ↑ : jamais
9 identifiant raison	Extinction carte	↓ : plus de batterie / défaut ↑ : jamais
10	Demande d'identification des cartes présentes	↓ : jamais ↑ : toujours
11 identifiant fonction	Déclaration de sa présence et sa fonction	↓ : sur demande (10) ↑ : jamais

TABLEAU 3

<i>En-tête &amp; données</i>	<i>Fonctionnalité</i>	<i>Carte sonore (micro/HP)</i>
0	Réservé	↓ : Jamais ↑ : jamais
1	Arrêt d'urgence	↓ : Jamais ↑ : Toujours (son d'alerte)
2 vitesse	Demande de déplacement en avant	↓ : jamais ↑ : jamais
3 vitesse	Demande de déplacement en arrière	↓ : jamais ↑ : jamais
4 numéro	Demande de transmission d'une image	↓ : jamais ↑ : jamais
5 image	Transmission d'une image	↓ : jamais ↑ : jamais
6 nom	Reconnaissance d'un humain	↓ : sur reconnaissance ↑ : toujours
7 numéro	Emettre un son	↓ : jamais ↑ : toujours
8 son	Transmission d'un son	↓ ; possible ↑ : toujours
9 identifiant raison	Extinction carte	↓ : plus de batterie / défaut ↑ : jamais
10	Demande d'identification des cartes présentes	↓ : jamais ↑ : toujours
11 identifiant fonction	Déclaration de sa présence et sa fonction	↓ : sur demande (10) ↑ : jamais

TABLEAU 4

<i>En-tête &amp; données</i>	<i>Fonctionnalité</i>	<i>Carte de décision comportementale</i>
0	Réservé	↓ : Jamais ↑ : jamais
1	Arrêt d'urgence	↓ : choix de s'arrêter d'urgence ↑ : Toujours
2 vitesse	Demande de déplacement en avant	↓ : choix d'avancer ↑ : jamais
3 vitesse	Demande de déplacement en arrière	↓ : choix de reculer ↑ : jamais
4 numéro	Demande de transmission d'une image	↓ : demande ↑ : toujours
5 image	Transmission d'une image	↓ : choix de s'arrêter d'urgence ↑ : toujours
6 nom	Reconnaissance d'un humain	↓ : jamais ↑ : toujours
7 numéro	Emettre un son	↓ : choix d'émettre un son ↑ : jamais
8 son	Transmission d'un son	↓ : demande ↑ : toujours
9 identifiant raison	Extinction carte	↓ : plus de batterie / défaut ↑ : toujours
10	Demande d'identification des cartes présentes	↓ : demande ↑ : toujours
11 identifiant fonction	Déclaration de sa présence et sa fonction	↓ : jamais ↑ : toujours

5

↓ : aptitude de la carte à écrire l'en-tête sur le bus  $\alpha$

↑ : aptitude de la carte à charger l'en-tête présente sur le bus  $\alpha$  en mémoire FIFO (validité de l'en-tête).



Dans cette application, au moins deux unités de traitement (cartes filles) sont configurées avec un même en-tête, c'est-à-dire comportent dans leur table des fonctionnalités à une même valeur d'en-tête (voir ci-après la

5 fonctionnalité « arrêt d'urgence » / carte propulsion, carte sonore et carte de décision comportementale configurées avec la même valeur d'en-tête '1'). Egalement, dans cette application, au moins une unité de traitement est conçue pour exécuter plusieurs tâches, et est configurée de telle sorte que chaque tâche est associée à un en-tête différent. Par exemple, la

10 carte propulsion comporte dans sa table des fonctionnalités les valeurs d'en-tête '1', '2', '3', '6' et '10' associées respectivement aux fonctionnalités suivantes : « arrêt d'urgence », « demande de déplacement en avant », « demande de déplacement en arrière », « reconnaissance d'un humain », « demande d'identification des cartes

15 présentes ».

Afin de mieux comprendre les tableaux ci-dessus, la fonctionnalité « arrêt d'urgence » va être plus particulièrement commentée.

#### Fonctionnalité « arrêt d'urgence »

L'en-tête de valeur '1' codant la fonctionnalité « arrêt d'urgence » est

20 toujours valide pour la carte propulsion, la carte sonore, et la carte de décision comportementale. La carte propulsion comporte dans sa table des fonctionnalités cette valeur d'en-tête associée à la fonctionnalité « arrêt d'urgence », et la routine (tâche) associée est l'arrêt du moteur de déplacement du robot.

25 La carte sonore comporte dans sa table des fonctionnalités cette valeur d'en-tête '1' associée à la fonctionnalité « arrêt d'urgence », et la routine associée est l'émission d'un son d'alerte par la carte. La carte de décision comportementale comporte dans sa table des fonctionnalités cette valeur d'en-tête associée à la fonctionnalité « arrêt d'urgence », et la

30 routine associée est de mémoriser et dater l'événement tout en vérifiant que l'arrêt d'urgence a bien eu lieu en vérifiant que la caméra observe une

image fixe. Lorsque l'en-tête de valeur '1' transite sur le bus  $\alpha$ , les routines (tâches) de chacune de ces cartes correspondant à cette fonctionnalité sont activées en parallèle.

5 A l'inverse, l'en-tête de valeur '1' codant la fonctionnalité « arrêt d'urgence » n'est jamais valide pour la carte caméra. Lorsque cet en-tête est présent sur le bus  $\alpha$ , le message correspondant est ignoré par la carte caméra qui continue à fonctionner normalement.

10 L'activation de la fonctionnalité « arrêt d'urgence » par écriture de la valeur d'en-tête '1' sur le bus  $\alpha$  peut être réalisée à l'initiative soit de la carte propulsion ( en cas de surchauffe moteur détectée par cette carte), soit de la carte caméra ( en cas de détection d'un obstacle par cette carte), soit de la carte de décision comportementale. Cette fonctionnalité « arrêt » d'urgence n'est jamais déclenchée à l'initiative de la carte sonore.

15 Les tableaux ci-dessus permettent à l'homme du métier de définir, pour chaque carte, sa table des fonctionnalités, ainsi que le contenu de sa mémoire de validation 3 qui assure le décodage des en-têtes.

Dans la variante la variante de réalisation particulière de la figure 1, une unité de traitement est conçue pour, après reconnaissance d'un  
20 en-tête valide, charger en mémoire FIFO 4 le message transitant sur le bus  $\alpha$ , et ce préalablement à l'exécution de la tâche associée à l'entête du message. Dans une variante de réalisation plus simple, il est toutefois envisageable de concevoir une unité de traitement qui exécute une tâche associée à un en-tête après reconnaissance de cet en-tête sur le bus  $\alpha$ ,  
25 sans chargement préalable du message en mémoire locale. Dans ce cas, l'unité de traitement ne comportera pas nécessairement de mémoire FIFO 4. Egalement, dans une autre variante, la mémoire de validation 3 pourrait être remplacée par tout autre moyen de décodage des en-têtes  
30 en logique combinatoire.

## REVENDICATIONS

1. Architecture électronique parallèle comportant une pluralité d'unités de traitement (1a, 1b,...1n) connectées à un bus de communication,  
5 chaque unité de traitement étant conçue pour exécuter automatiquement une ou plusieurs tâches prédéfinies, caractérisée en ce que chaque unité de traitement est configurée de telle sorte que chacune de ses tâches est associée à un en-tête, en ce que chaque unité de traitement est conçue pour communiquer avec les autres  
10 unités de traitement selon le protocole suivant : envoi sur le bus d'un message comportant au moins un en-tête caractérisant une fonctionnalité, et éventuellement une trame constituée d'un ou plusieurs mots, et en ce que chaque unité de traitement est conçue pour décoder chaque en-tête transitant sur le bus, et pour, en  
15 fonction de la valeur de cet en-tête, soit ignorer le message émis sur le bus, soit exécuter la tâche associée à l'en-tête de ce message.
2. Architecture selon la revendication 1 caractérisée en ce qu'au moins une unité de traitement est conçue pour charger en mémoire le message transitant sur le bus préalablement à l'exécution d'une tâche.
- 20 3. Architecture selon la revendication 1 ou 2 caractérisée en ce que qu'au moins deux unités de traitement sont configurées avec un même en-tête.
4. Architecture selon la revendication 1 ou 2 caractérisée en ce qu'au moins une unité de traitement est conçue pour exécuter plusieurs  
25 tâches, et est configurée de telle sorte que chaque tâche est associée à un en-tête différent.
5. Architecture selon l'une des revendications 1 à 4 caractérisée en ce que le bus de communication est un bus de données composé de (q) conducteurs parallèles (q entier supérieur ou égal à 1), en ce que  
30 chaque unité de traitement comporte un bus (6) de données (n) bits [(n entier inférieur ou égal à q)] qui est connecté en parallèle aux (n)

premiers conducteurs du bus de communication.

6. Architecture selon la revendication 5 caractérisée en ce qu'au moins une unité de traitement est conçue pour émettre sur le bus un message selon le format série suivant : écriture sur le bus d'un premier mot  
5 correspondant à l'en-tête, puis écriture successivement de chaque mot constituant la trame du message.
7. Architecture selon l'une des revendications 1 à 6 caractérisé en ce qu'au moins une unité de traitement comporte : un processeur (2)  
10 programmé pour exécuter une ou plusieurs tâche distinctes, des moyens de décodage conçus pour valider ou non pour le processeur (2) un en-tête transitant sur le bus de communication, une mémoire (4) connectée au bus de communication, accessible en lecture par le processeur (2), et permettant sous la commande du processeur (2) le chargement d'un message transitant sur le bus de communication.
- 15 8. Architecture selon la revendication 7 caractérisée en ce que les moyens de décodage comportent une mémoire de validation (3) dont le port d'adresse est connecté au bus de communication, en ce que chaque valeur d'en-tête pouvant transiter sur le bus de communication correspond à une adresse de cette mémoire de validation (3), et en ce  
20 qu'à chaque adresse de cette mémoire de validation correspondant à un en-tête est stockée une donnée de validation ou de non validation de l'en-tête.
9. Architecture selon la revendication 8 caractérisée en ce que le port de sortie de la mémoire de validation (3) est connecté à un port du  
25 processeur (2) dédié au traitement des interruptions.
10. Architecture selon l'une quelconque des revendication 1 à 9 caractérisée en ce qu'elle est de type multi-maîtres/multi-esclaves, et en ce que l'échange de données sur le bus de communication est cadencé par l'unité de traitement maître qui a émis le message.

1/4

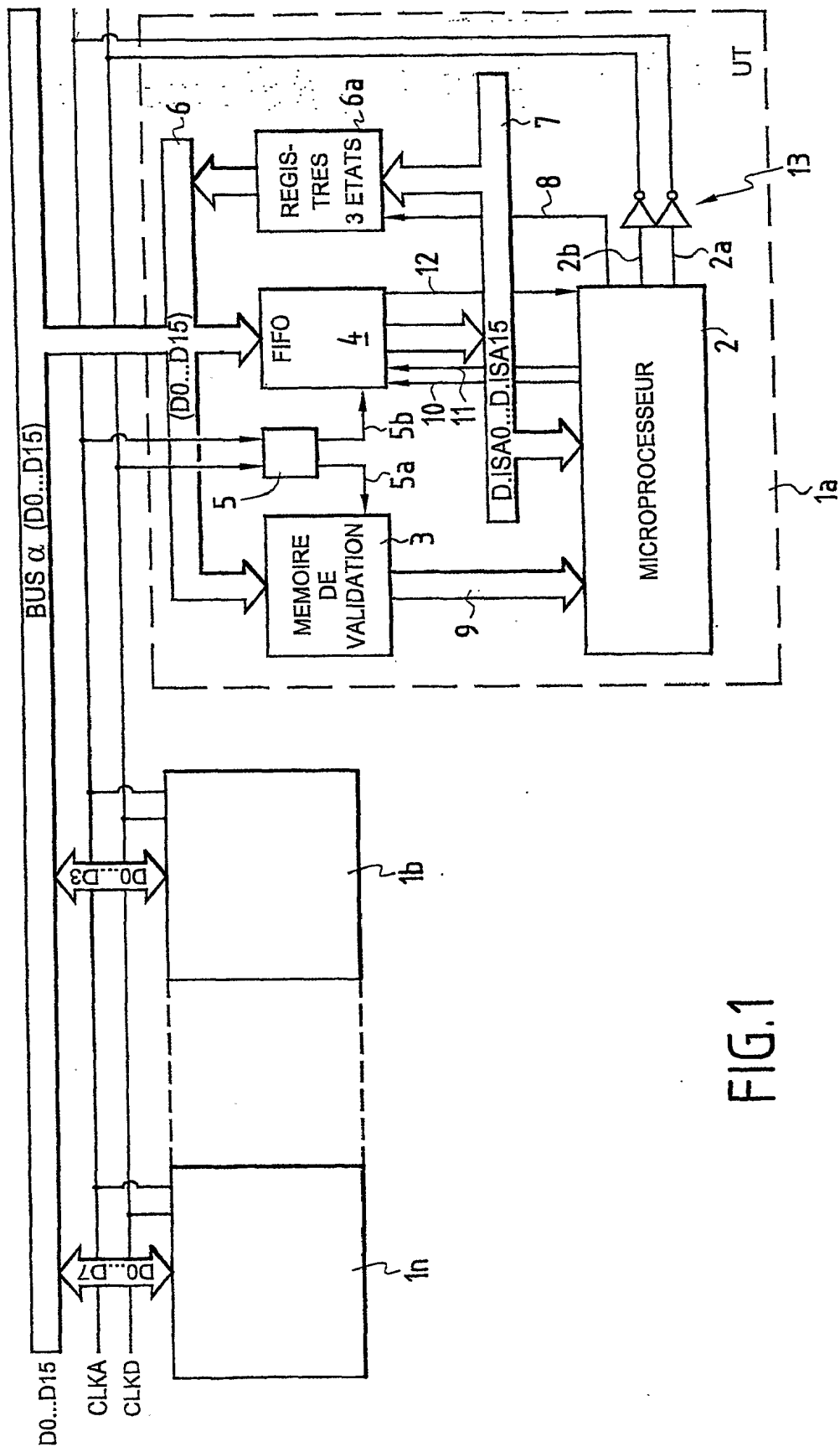


FIG.1

2/4

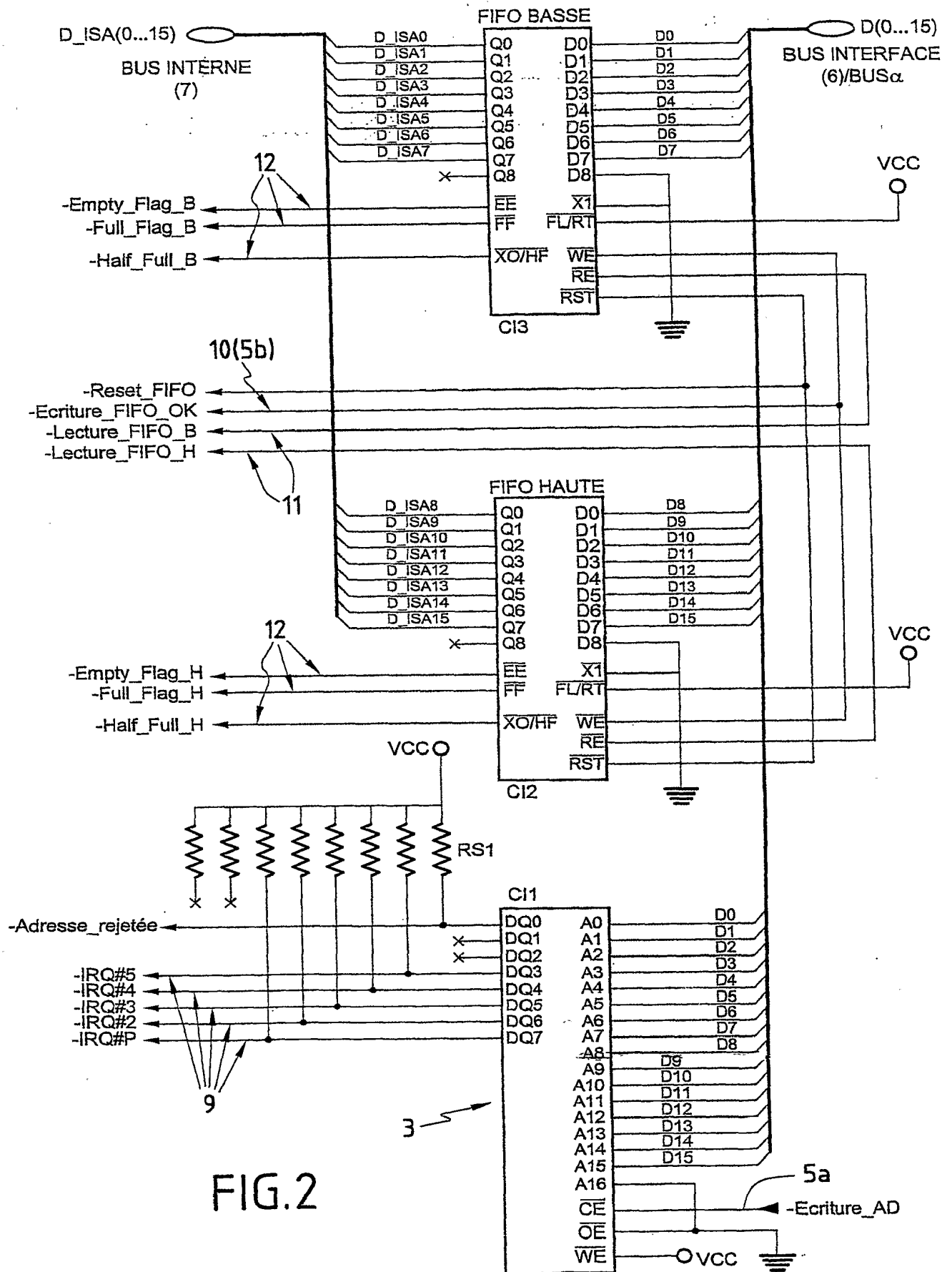


FIG.2

3/4

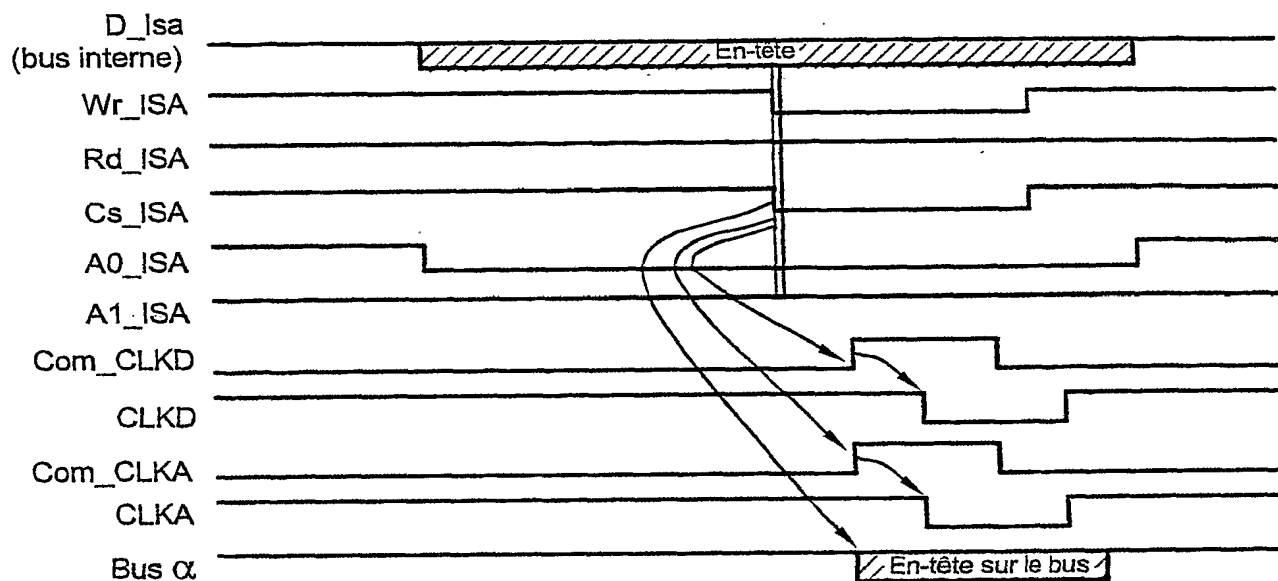


FIG.3

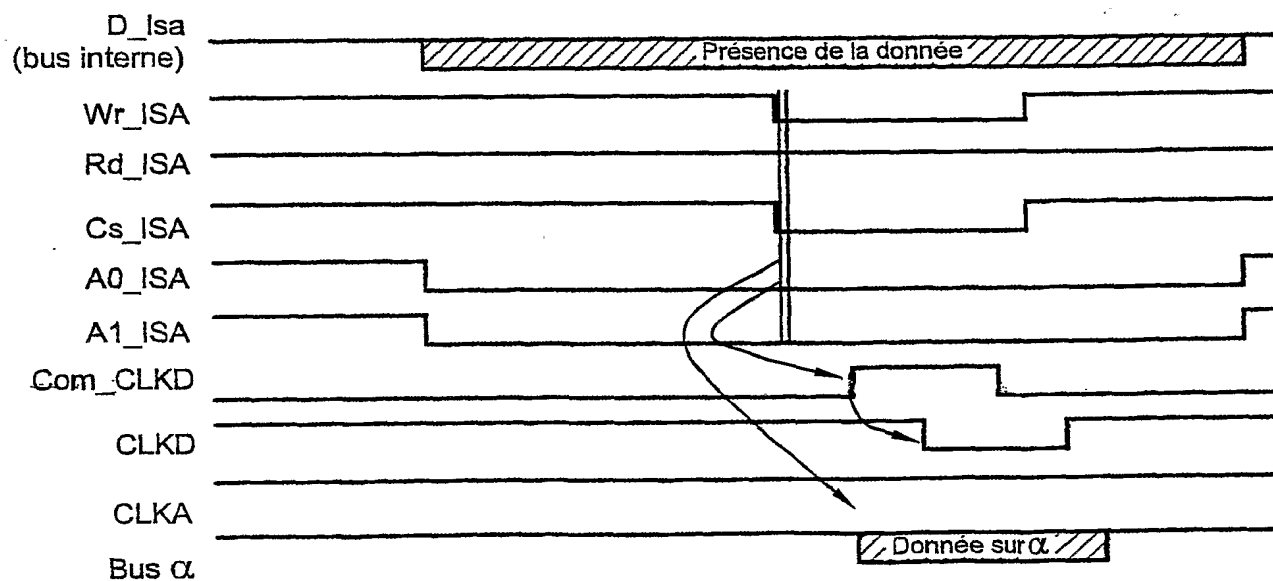


FIG.4

4/4

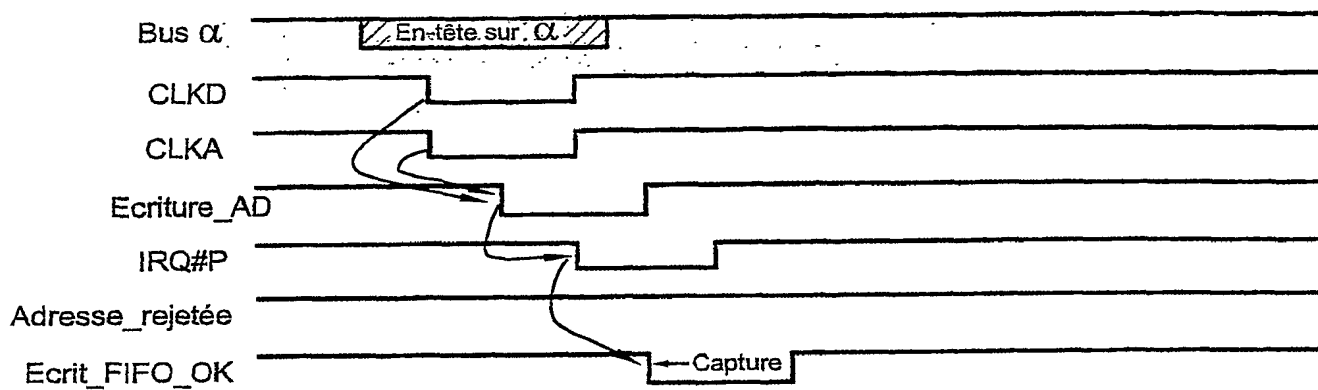


FIG.5

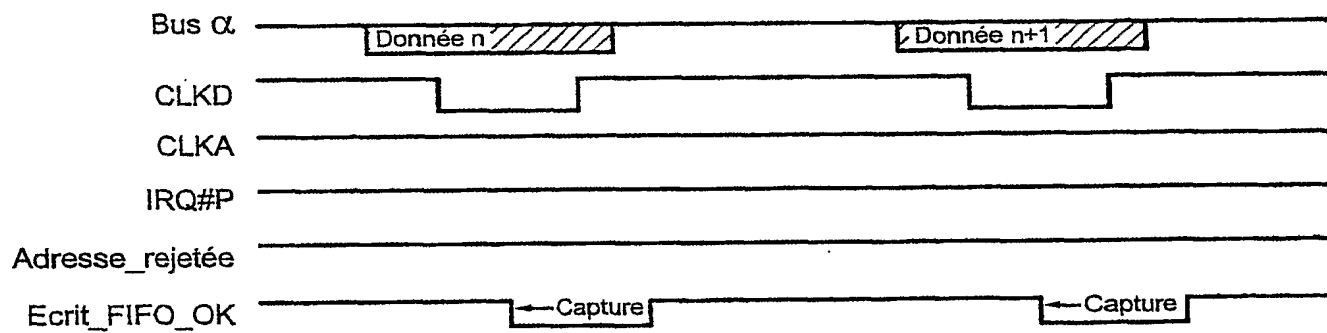


FIG.6

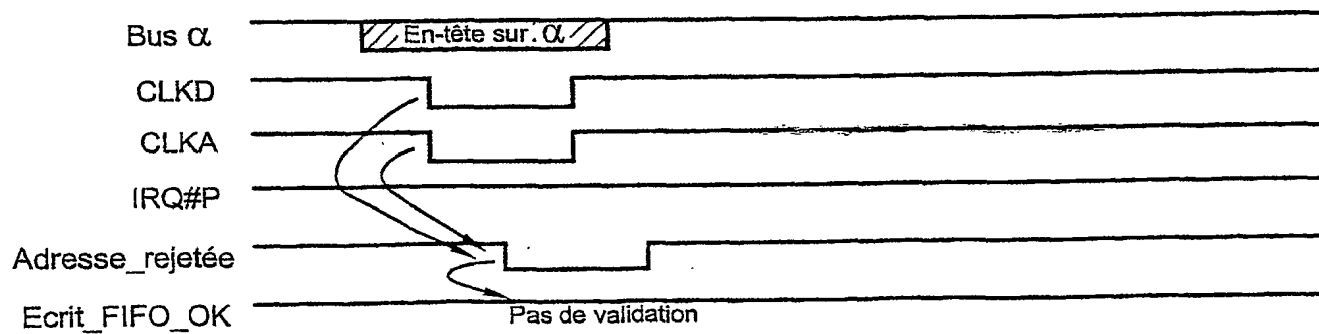


FIG.7



## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/FR 01/04176

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 G06F9/48

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ, IBM-TDB

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 841 580 A (HOROWITZ MARK ET AL) 24 November 1998 (1998-11-24) column 8, line 33 - last line ---	1
A	EP 0 200 447 A (EMI LTD) 5 November 1986 (1986-11-05) the whole document ---	1
A	US 5 898 845 A (ELWELL GEORGE ET AL) 27 April 1999 (1999-04-27) the whole document -----	1



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

## ° Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*8\* document member of the same patent family

Date of the actual completion of the international search

28 May 2002

Date of mailing of the international search report

05/06/2002

Name and mailing address of the ISA  
European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Michel, T

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/FR 01/04176

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5841580	A	24-11-1998	US 5638334 A	10-06-1997
			US 5513327 A	30-04-1996
			US 5319755 A	07-06-1994
			US 6049846 A	11-04-2000
			US 6038195 A	14-03-2000
			US 5953263 A	14-09-1999
			US 6101152 A	08-08-2000
			US 6034918 A	07-03-2000
			US 5995443 A	30-11-1999
			US 2002015351 A1	07-02-2002
			US 2002016876 A1	07-02-2002
			US 6266285 B1	24-07-2001
			US 6314051 B1	06-11-2001
			US 2001009531 A1	26-07-2001
			US 2001009276 A1	26-07-2001
			US 2001030904 A1	18-10-2001
			US 2001023466 A1	20-09-2001
			US 2002001253 A1	03-01-2002
			US 2002004867 A1	10-01-2002
			US 5841715 A	24-11-1998
			US 5928343 A	27-07-1999
			US 6035365 A	07-03-2000
			US 6044426 A	28-03-2000
			US 6032214 A	29-02-2000
			US 6032215 A	29-02-2000
			US 6067592 A	23-05-2000
			US 6185644 B1	06-02-2001
			US 6182184 B1	30-01-2001
			US 6260097 B1	10-07-2001
			US 6304937 B1	16-10-2001
			US 5809263 A	15-09-1998
			US 5915105 A	22-06-1999
			DE 9117296 U1	06-04-2000
			DE 1022642 T1	11-01-2001
			DE 69132121 D1	25-05-2000
			DE 69132121 T2	21-09-2000
			DE 69132501 D1	08-02-2001
			DE 69132501 T2	23-08-2001
			DE 69132721 D1	11-10-2001
			EP 1022641 A1	26-07-2000
			EP 1004956 A2	31-05-2000
			EP 1022642 A1	26-07-2000
			EP 1197830 A2	17-04-2002
			EP 0525068 A1	03-02-1993
			EP 0994420 A2	19-04-2000
			IL 96808 A	31-03-1996
			IL 110648 A	08-12-1995
			IL 110649 A	31-08-1995
EP 0200447	A	05-11-1986	CA 1252537 A1	11-04-1989
			EP 0200447 A2	05-11-1986
US 5898845	A	27-04-1999	NONE	

## RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No  
PCT/FR 01/04176

## A. CLASSEMENT DE L'OBJET DE LA DEMANDE

CIB 7 G06F9/48

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

## B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 G06F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal, WPI Data, PAJ, IBM-TDB

## C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie °	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 5 841 580 A (HOROWITZ MARK ET AL) 24 novembre 1998 (1998-11-24) colonne 8, ligne 33 - dernière ligne ----	1
A	EP 0 200 447 A (EMI LTD) 5 novembre 1986 (1986-11-05) le document en entier ----	1
A	US 5 898 845 A (ELWELL GEORGE ET AL) 27 avril 1999 (1999-04-27) le document en entier -----	1



Voir la suite du cadre C pour la fin de la liste des documents



Les documents de familles de brevets sont indiqués en annexe

## ° Catégories spéciales de documents cités:

\*A\* document définissant l'état général de la technique, non considéré comme particulièrement pertinent

\*E\* document antérieur, mais publié à la date de dépôt international ou après cette date

\*L\* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

\*O\* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

\*P\* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

\*T\* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

\*X\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

\*Y\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

\*&amp;\* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

28 mai 2002

Date d'expédition du présent rapport de recherche internationale

05/06/2002

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Michel, T.

# RAPPORT DE RECHERCHE INTERNATIONALE

Recherche Internationale No  
PCT/FR 01/04176

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5841580	A	24-11-1998	US 5638334 A	10-06-1997
			US 5513327 A	30-04-1996
			US 5319755 A	07-06-1994
			US 6049846 A	11-04-2000
			US 6038195 A	14-03-2000
			US 5953263 A	14-09-1999
			US 6101152 A	08-08-2000
			US 6034918 A	07-03-2000
			US 5995443 A	30-11-1999
			US 2002015351 A1	07-02-2002
			US 2002016876 A1	07-02-2002
			US 6266285 B1	24-07-2001
			US 6314051 B1	06-11-2001
			US 2001009531 A1	26-07-2001
			US 2001009276 A1	26-07-2001
			US 2001030904 A1	18-10-2001
			US 2001023466 A1	20-09-2001
			US 2002001253 A1	03-01-2002
			US 2002004867 A1	10-01-2002
			US 5841715 A	24-11-1998
			US 5928343 A	27-07-1999
			US 6035365 A	07-03-2000
			US 6044426 A	28-03-2000
			US 6032214 A	29-02-2000
			US 6032215 A	29-02-2000
			US 6067592 A	23-05-2000
			US 6185644 B1	06-02-2001
			US 6182184 B1	30-01-2001
			US 6260097 B1	10-07-2001
			US 6304937 B1	16-10-2001
			US 5809263 A	15-09-1998
			US 5915105 A	22-06-1999
			DE 9117296 U1	06-04-2000
			DE 1022642 T1	11-01-2001
			DE 69132121 D1	25-05-2000
			DE 69132121 T2	21-09-2000
			DE 69132501 D1	08-02-2001
			DE 69132501 T2	23-08-2001
			DE 69132721 D1	11-10-2001
			EP 1022641 A1	26-07-2000
			EP 1004956 A2	31-05-2000
			EP 1022642 A1	26-07-2000
			EP 1197830 A2	17-04-2002
			EP 0525068 A1	03-02-1993
			EP 0994420 A2	19-04-2000
			IL 96808 A	31-03-1996
			IL 110648 A	08-12-1995
			IL 110649 A	31-08-1995
EP 0200447	A	05-11-1986	CA 1252537 A1	11-04-1989
			EP 0200447 A2	05-11-1986
US 5898845	A	27-04-1999	AUCUN	